

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-102334

(43)Date of publication of application : 03.04.1992

(51)Int.Cl.

H01L 21/331
H01L 21/203
H01L 29/73

(21)Application number : 02-220215

(71)Applicant : NEC CORP

(22)Date of filing : 22.08.1990

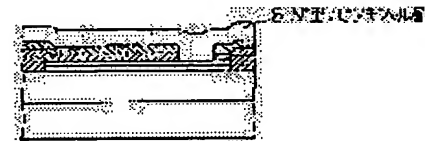
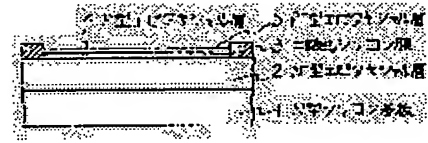
(72)Inventor : TAKANO HIROSHI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To execute a high-concentration doping operation of antimony by a method wherein a P-type silicon epitaxial layer and an antimony-doped N-type silicon amorphous layer are grown on an N-type silicon epitaxial layer by using a molecular-beam epitaxial growth apparatus and a heat treatment is executed.

CONSTITUTION: An N-type epitaxial layer 2 is grown on an N-type silicon substrate 1; a silicon dioxide film 3 is formed by a thermal oxidation operation; and a region in which a base is to be formed is opened. Then, silicon and boron are evaporated simultaneously at 650° C by using a molecular-beam epitaxial growth (MBE) apparatus; and a P-type epitaxial layer 4 and a P-type epitaxial layer 5 are formed. Then, a silicon dioxide, film 6 and a silicon nitride film 7 are formed; silicon and antimony are evaporated simultaneously at room temperature by using the MBE apparatus; and amorphous silicon which has been doped at high concentration is deposited. Then, the amorphous silicon is heated at 650° C and solid-grown; and it is changed to an N+ type epitaxial layer 8. Thereby, a high-concentration doping operation of antimony can be executed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平4-102334

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)4月3日

H 01 L 21/331
21/203
29/73

M 7630-4M

7735-4M H 01 L 29/72

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平2-220215

⑰ 出 願 平2(1990)8月22日

⑱ 発 明 者 高 野 浩 志 東京都港区芝5丁目7番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

半導体装置の製造方法

特許請求の範囲

コレクタとなるN型シリコンエピタキシャル層の上に分子線エピタキシャル成長装置でベースとなるP型シリコンエピタキシャル層を成長する工程と、該P型シリコンエピタキシャル層の上に分子線エピタキシャル成長装置でエミッタとなるアンチモンドープN型シリコンアモルファス層を成長する工程と、アニール熱処理による固相成長法で前記N型シリコンアモルファス層をN型シリコンエピタキシャル層に変換する工程とを含むことを特徴とする半導体装置の製造方法。

発明の詳細な説明

〔産業上の利用分野〕

本発明はNPN型シリコンバイポーラトランジ

スタに関し、特にベースおよびエミッタを分子線エピタキシャル成長装置で成長したNPNシリコンバイポーラトランジスタおよびその複合素子に関するものである。

〔従来の技術〕

従来技術によるシリコンバイポーラトランジスタの製造方法について、第6図(a)～(f)を参照して説明する。

はじめに第6図(a)に示すように、P型シリコン基板11の上に厚さ1.3～1.6μm、比抵抗1.3～1.0ΩcmのN⁻型エピタキシャル層13を成長し、スポットLOCOS法で厚さ500～800Åの酸化シリコン膜6を形成する。

つぎに第6図(b)に示すように、フォトレジストをマスクとして燐をイオン注入して、N⁺型コレクタ引き出し部23を形成したのち、フォトレジストをマスクとして硼素をイオン注入してベース14を形成する。

つぎに第6図(c)に示すように、CVD法に

より厚さ1000～1500Åの酸化シリコン膜7を堆積したのち、CF₄などのガスを用いたRIE法によりエミッタとコレクタコンタクトとの酸化シリコン膜8およびエミッタ、コレクタコンタクト、ベースコンタクトの酸化シリコン膜7をエッチングする。そのあとCVD法により厚さ1500Åのポリシリコン17を成長し、砒素をイオン注入してN⁺型エミッタ18を形成する。

つぎに第8図(d)に示すように、フォトレジストをマスクとしてCF₄などのガスを用いたドライエッチングにより、不要のポリシリコンを除去する。

つぎに第8図(e)に示すように、フォトレジストをマスクとしてベースコンタクト部の酸化シリコン膜8をエッチングし、砒素を熱拡散することにより、P⁺型外部ベース15を形成する。

つぎに第8図(f)に示すように、ベース電極9、エミッタ電極10、コレクタ電極22を形成することにより素子部が完成する。

このようにシリコンバイポーラトランジスタの

エミッタは、ポリシリコン成長および砒素イオン注入法もしくはDOPOS法が用いられる。

そのあと高温熱処理により砒素の活性化およびエミッタ接合形成を行っている。

一方MBE装置は急峻な不純物分布やシリコンゲルマニウム混晶(以下SiGe混晶と略す)が得られる低温成長手段としてシリコンバイポーラトランジスタの薄いベース層形成に応用され始めている。

(発明が解決しようとする課題)

せっかく薄いベースをMBE装置で成長しても、そのあとエミッタ中の砒素を活性化するため高温熱処理すると、不純物プロファイルが変化し特性が劣化してしまう。

MBE装置で成長した結晶欠陥がないSiGe混晶をベースとしても、そのあと成長温度以上で熱処理を行うとミスフィットやディスロケーションが発生してリーク電流が増大するなどの問題があった。

MBE装置を用いてエミッタを低温で形成しよ

うとしようとしても、通常MBEのN型不純物源として用いられているアンチモンは固溶度が低いためにエミッタとして必要な高濃度ドーピングができないという問題もあった。

(課題を解決するための手段)

本発明の半導体装置の製造方法は、N型エピタキシャル層の上にMBE装置で成長したP型エピタキシャル層をベースとし、その上にMBE装置でアンチモンドープアモルファスシリコン層を成長したのち、熱処理により固相成長させてエピタキシャル層に変換し、エミッタとするものである。

(作用)

MBE装置でアンチモンドープシリコン層を成長する過程を第4図(a)～(d)を参照して説明する。

通常は第4図(a)に示すようにP型シリコン基板11を約850℃に加熱し、シリコン分子およびアンチモン分子をクヌーセンセルから同時に蒸発させてアンチモンドープエピタキシャル層1

9を成長させる。

低濃度ドーピングの場合はこの方法で問題はないが、エミッタ形成のような高濃度ドーピングの際は第4図(b)に示すように、固溶度以上のアンチモン分子がエピタキシャル層の表面に偏析してアンチモン偏析層20を形成してしまう。

そこで本発明ではつぎのようなアモルファスシリコンの固相成長法を用いる。

はじめに第4図(c)に示すように、常温のP型シリコン基板1にシリコン分子およびアンチモン分子をクヌーセンセルから同時に蒸発させてアモルファスシリコン層21を成長させる。このアモルファスシリコン層21には蒸発させたアンチモン分子がすべて含まれている。

つぎに第4図(d)に示すように、800～850℃でアニールすると固相成長により、アンチモンドープエピタキシャル層19に変換される。

この方法ではアンチモンの表面偏析が生じないので、固溶度以上のアンチモンの高濃度ドーピングが可能になる。

つぎに第5図(a)に理想的なヘテロバイポーラトランジスタの不純物プロファイルを示す。ここではP-N接合の位置とヘテロ界面の位置とが同一であるためヘテロ効果が現われ、電流利得が上がる。

これに対し高温熱処理を行なうと内部拡散により第5図(b)に示すように不純物プロファイルが変化する。すなわちエミッタ中の砒素がベース内にベース中の砒素がエミッタおよびコレクタ内に拡散されてしまう。その結果ヘテロ界面の位置とP-N接合の位置とがずれてしまい、十分なヘテロ効果が得られないばかりか、I-V特性の劣化や V_R の低下を招いている。

そこで100~200Åの厚さのノンドープシリコン層をエミッタとベースとの間に入れると、ベース中の砒素およびエミッタ中の砒素(あるいはアンチモン)の拡散がこのバッファ層内で行なわれて、ヘテロ界面とP-N接合との位置ずりが緩和され、ヘテロ効果が得られる。

(実施例)

ヘテロバイポーラトランジスタとなる。

そのあと二酸化シリコン膜3上に成長したポリシリコンを、フォトレジストをマスクとして CF_4 などのガスを用いた異方性エッチングにより除去する。

つぎに第1図(b)に示すように、CVD法により厚さ1000Åの二酸化シリコン膜6および厚さ1000Åの窒化シリコン膜7を形成し、フォトレジストをマスクとして異方性エッチングによりエミッタ予定領域を開口する。

つぎに第1図(c)に示すようにMBE装置を用いて常温でシリコンおよびアンチモンを同時に蒸発させて高濃度にドーピングしたアモルファスシリコンを堆積する。

つぎに650℃に加熱して固相成長させ、アモルファスシリコンを厚さ1000~2000Åの N^+ 型エピタキシャル層8に変換する。

つぎに第1図(d)に示すように、フォトレジストをマスクとして CF_4 、 $+O_2$ などのガスを用いた異方性エッチングにより不要の N^+ 型エピタ

キシャル層8を除去する。

つぎに第1図(e)に示すように、N型シリコン基板1に比抵抗0.5~1.0Ωcm、厚さ0.8~1.0μmの N^+ 型エピタキシャル層2を成長し、熱酸化により厚さ100Åの二酸化シリコン膜3を形成し、フォトレジストをマスクとしてベース予定領域を開口する。

つぎにMBE装置を用いて650℃で成長時の真空度を約 10^{-8} Torrに保ってシリコンおよび砒素を同時に蒸発させて厚さ300~500Å、キャリア濃度 10^{18} cm $^{-3}$ のP型エピタキシャル層4を成長する。

さらにMBE装置を用いて650℃でシリコンおよび砒素を同時に蒸発させて厚さ50~200Åの P^+ 型エピタキシャル層5を形成する。この P^+ 型エピタキシャル層5はエミッタとベースの界面の結晶性およびP-N接合を良好に保つためのバッファ層となる。またここで砒素と同時にゲルマニウムを蒸発させることにより、Si-Ge

キシャル層8を除去する。

つぎにフォトレジストをマスクとして異方性エッチングによりベースコンタクトを開口する。

つぎに第1図(e)に示すように、ベース電極9およびエミッタ電極10を形成して素子部が完成する。

つぎに本発明の第2の実施例について第2図を参照して説明する。

MBE装置でP型エピタキシャル層4を成長したのち、 P^+ 型エピタキシャル層5を成長しないで、バッファ層となる低濃度不純物層(P型でもN型でも良い)18を成長してから、第1の実施例と同様の方法で N^+ 型エピタキシャル層8を成長する。

このあとベース電極9およびエミッタ電極10を形成して素子部が完成する。

つぎに本発明の第3の実施例としてバイポーラ集積回路について、第3図を参照して説明する。

こんどはP型シリコン基板11を用いて、 N^+ 型埋込層12を形成してから比抵抗0.5~1.

0 オーム、厚さ0.8~1.0 μ mのN⁻型エピタキシャル層13を成長する。

このあとP型エピタキシャル層4およびP⁻型エピタキシャル層5を成長し、二酸化シリコン膜6および窒化シリコン膜7を形成し、エミッタとなるアモルファスシリコンを成長してから熱処理してN⁺型エピタキシャル層8に変換してから、ベース電極9、エミッタ電極10、コレクタ電極22を形成することにより素子部が完成する。

このほかMBE装置を用いたアンチモンを含んだ固相成長によって得られるN⁺エピタキシャル層はシリコンダイオードにおけるカソードとしても応用できる。

〔発明の効果〕

NPN型シリコンバイポーラトランジスタのベースだけでなくエミッタもMBE装置を用いた低温成長により製造することができる。

そのためMBE成長後の工程で高温熱処理が不要になり、不純物プロファイルの変化がなく、特性の悪化がなくなるという効果がある。

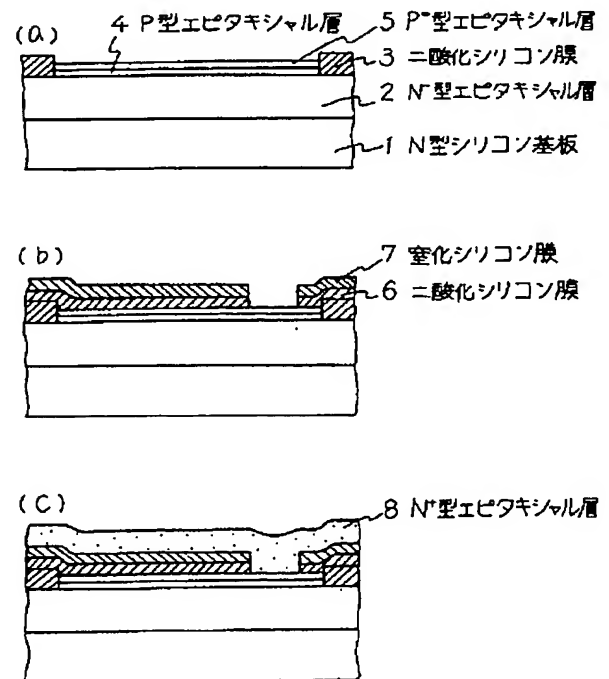
・型エピタキシャル層、9…ベース電極、10…エミッタ電極、11…P型シリコン基板、12…N⁺型埋込層、13…N⁻型エピタキシャル層、14…P⁻型ベース、15…P⁺型外部ベース、16…N⁺型エミッタ、17…N⁺型ポリシリコン、18…低濃度不純物層、19…アンチモンドープエピタキシャル層、20…アンチモン偏析層、21…アンチモンドーパアモルファスシリコン層、22コレクタ電極、23…N⁺型コレクタ引き出し部。

またアンチモンを高濃度を含むアモルファスシリコンの固相成長を行なうことにより、これまで不可能だったアンチモンの高濃度ドーピングが可能になった。

図面の簡単な説明

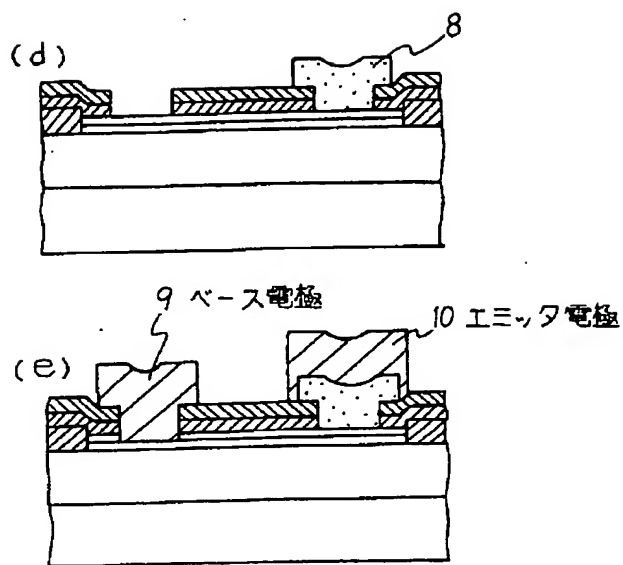
第1図(a)~(e)は本発明の第1の実施例を工程順に示す断面図、第2図は本発明の第2の実施例を示す断面図、第3図は本発明の第3の実施例を示す断面図、第4図(a)~(d)はMBE装置による結晶成長を示す断面図、第5図(a)、(b)はヘテロバイポーラトランジスタの不純物プロファイルを示すグラフ、第6図(a)~(f)は従来技術によるMBE装置を用いたバイポーラトランジスタの製造方法を工程順に示す断面図である。

1…N型シリコン基板、2…N⁻型エピタキシャル層、3…二酸化シリコン膜、4…P型エピタキシャル層、5…P⁻型エピタキシャル層、6…二酸化シリコン膜、7…窒化シリコン膜、8…N

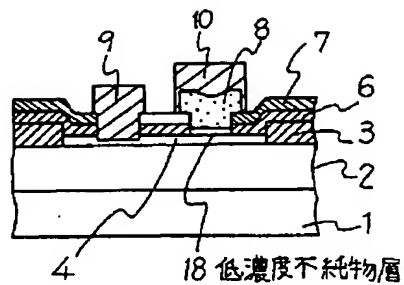


第1図

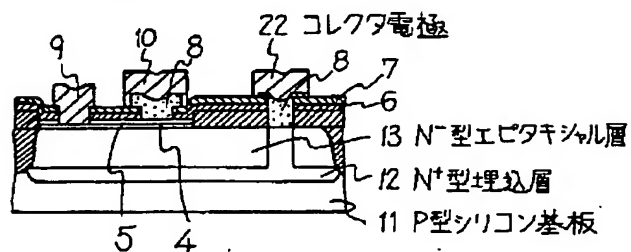
代理人 井理士 内 原 晋



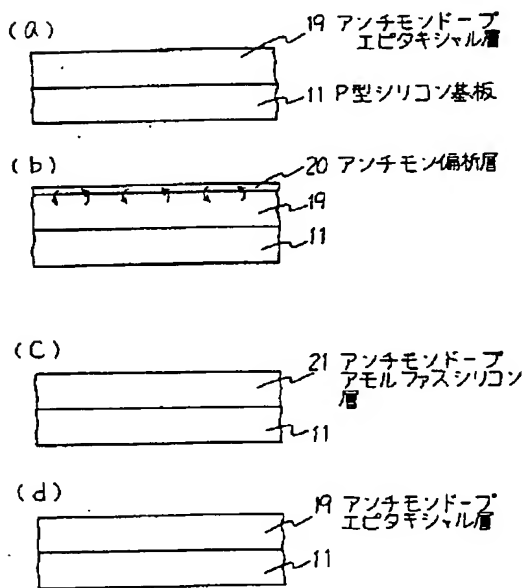
第 1 図



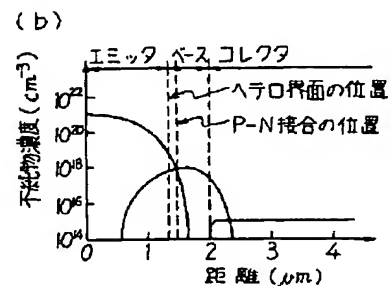
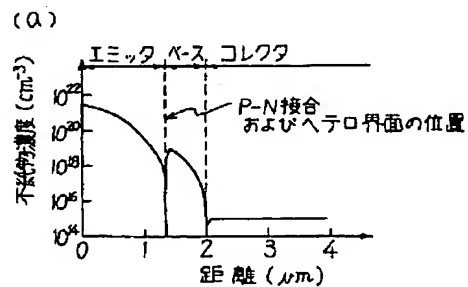
第 2 図



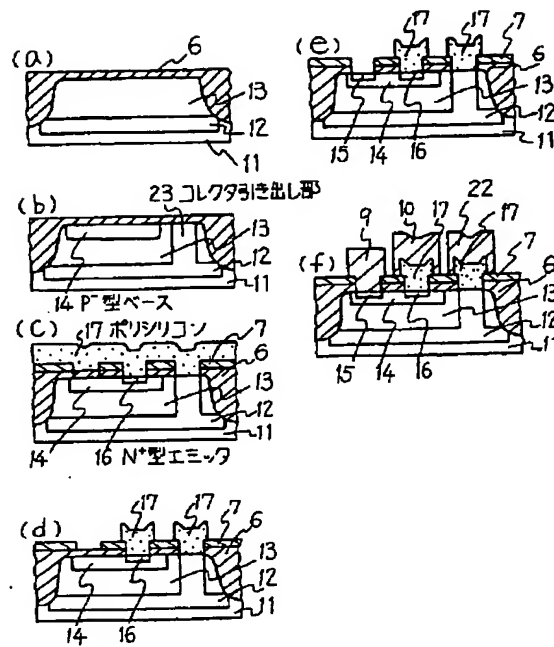
第 3 図



第 4 図



第 5 図



第 6 図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ ~~FADED~~ TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.